

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097761

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H03H 9/72

H03H 3/08

H03H 3/10

(21)Application number : 04-244690

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.09.1992

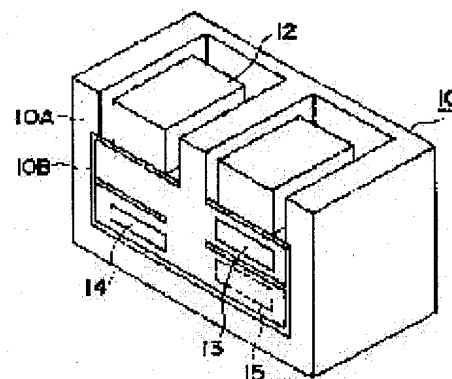
(72)Inventor : HIRASAWA NOBUAKI  
IGATA OSAMU

### (54) BRANCHING FILTER AND ITS MANUFACTURE

#### (57)Abstract:

PURPOSE: To miniaturize the branching filter to the utmost by containing character improvement circuit elements in one package and forming them integrally while maintaining the isolation and interaction of them in a satisfactory state without depending on an external circuit with respect to the characteristic improvement circuit elements, with regard to improvement of the optical demultiplexer.

CONSTITUTION: Two or more filter elements 12 having a passing characteristic of a prescribed band frequency, and an impedance matching element 13 and a phase matching element 14 for assisting a frequency characteristic of the filter element 12 are stored in a vessel 10 formed integrally, and the impedance matching element 13 and the phase matching element 14 are embedded in the inside 10A of a vessel structure body except an area in which the filter element 12 is stored. Also, the impedance matching element 13 and the phase matching element 14 are housed in the inside 10A of the vessel structure body, and consist of a strip line structure having the upper and the lower ground layers 10B.



#### LEGAL STATUS

[Date of request for examination] 24.01.1997

[Date of sending the examiner's decision of rejection] 04.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 9 7 7 6 1

(43) 公開日 平成6年(1994)4月8日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H	9/72	7259-5 J		
	3/08	7259-5 J		
	3/10	7259-5 J		

審査請求 未請求 請求項の数 1 0

(全 1 7 頁)

(21) 出願番号 特願平4-244690

(22) 出願日 平成4年(1992)9月14日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 平沢 暢朗

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 伊形 理

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 岡本 啓三

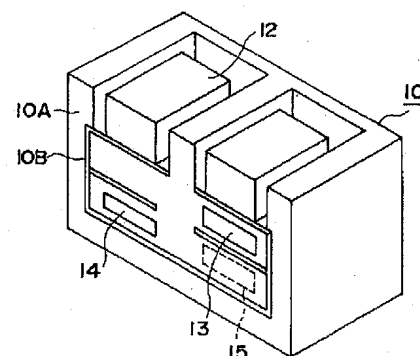
(54) 【発明の名称】 分波器及びその製造方法

(57) 【要約】

【目的】 本発明は、分波器の改善に関し、その特性改善用回路素子につき、外部回路に依存することなく、そのアイソレーションや相互作用を良好な状態に維持しつつ、それを1つのパッケージに収納して一体化をし、その極力小型化を図ることを目的とする。

【構成】 所定帯域周波数の通過特性を有する二以上のフィルタ素子12と、前記フィルタ素子12の周波数特性を補助するインピーダンス整合素子13及び位相整合素子14とが一体化された容器10に格納され、前記インピーダンス整合素子13及び位相整合素子14がフィルタ素子12を格納した領域以外の容器構造体内部10Aに埋め込まれることを含み構成し、前記インピーダンス整合素子13及び位相整合素子14が容器構造体内部10Aであって、上・下グランド層10Bを有するストリップライン構造から成ることを含み構成する。

本発明に係る分波器の原理図(その1)



10 : 容器  
12 : フィルタ素子  
13 : インピーダンス整合素子  
14 : 位相調整素子  
15 : トラップ回路  
10A : 容器構造体内部  
10B : グランド層

## 【特許請求の範囲】

【請求項1】 少なくとも、所定帯域周波数の通過特性を有する弾性表面波のフィルタ素子（12）と、前記フィルタ素子（12）の周波数特性を補助するインピーダンス整合素子（13）及び位相整合素子（14）とが一体化された容器（10）に格納され、前記インピーダンス整合素子（13）及び位相整合素子（14）がフィルタ素子（12）を格納した領域以外の容器構造体内部（10A）に埋め込まれることを特徴とする分波器。

【請求項2】 請求項1記載の分波器において、前記インピーダンス整合素子（13）及び位相整合素子（14）が容器構造体内部（10A）であって、上・下部又は一部にグランド層（10B）を有するストリップライン構造から成ることを特徴とする分波器。

【請求項3】 請求項1記載の分波器において、前記フィルタ素子（12）を格納した領域下の容器構造体内部（10A）であって、前記位相整合素子（14）の上層部にインピーダンス整合素子（13）が設けられることを特徴とする分波器。

【請求項4】 請求項1記載の分波器において、前記フィルタ素子（12）を格納した領域以外に、周波数特性を改善するトラップ回路（15）が設けられることを特徴とする分波器。

【請求項5】 請求項1記載の分波器において、前記各フィルタ素子（12）のグランド層（10B）に係る接地線（gnd）が外部入出力端子（Tx, Rx, ANT, GND）に近い部分で共通接続されることを特徴とする分波器。

【請求項6】 請求項5記載の分波器において、前記外部入出力端子（Tx, Rx, ANT, GND）は共通入力端子（ANT）を基準にして外部出力端子（Tx, Rx, GND）が鏡面对称的に配置されることを特徴とする分波器。

【請求項7】 請求項1記載の分波器において、前記インピーダンス整合素子（13）及び位相整合素子（14）に接続された内部接続端子（ $\alpha$ ）や外部入出力端子（Tx, Rx, ANT, GND）に接続された内部接続端子（ $\beta$ ）が各フィルタ素子（12）の格納仕切り領域に独立に設けられることを特徴とする分波器。

【請求項8】 請求項7記載の分波器において、前記内部接続端子（ $\alpha$ ,  $\beta$ ）や外部入出力端子（Tx, Rx, ANT, GND）に識別記号が設けられることを特徴とする分波器。

【請求項9】 配線処理がされた耐熱層状基板部（11）内にフィルタ素子（12）を補助する特性改善用素子（13, 14や15）を形成する工程と、前記特性改善用素子（13, 14や15）が形成された耐熱層状基板部（11）の熱処理をする工程と、前記熱処理された耐熱層状基板部（11）に二以上のフィルタ素子（12）を接合配線する工程とを有することを特徴とする分

波器の製造方法。

【請求項10】 請求項9記載の分波器の製造方法において、前記二以上のフィルタ素子（12）や特性改善用素子（13, 14や15）を同一平面に形成する場合には、当該フィルタ素子（12）と他のフィルタ素子（12）や、前記特性改善用素子（13, 14や15）と他の特性改善用素子（13, 14や15）とを直交させて配置をすることを特徴とする分波器の製造方法。

## 【発明の詳細な説明】

【0001】

【目次】

産業上の利用分野

従来の技術（図13）

発明が解決しようとする課題

課題を解決するための手段（図1～3）

作用

実施例

（1）第1の実施例の説明（図4～8）

（2）第2の実施例の説明（図9）

（3）第3の実施例の説明（図10）

（4）第4の実施例の説明（図11, 12）

【0002】

【産業上の利用分野】本発明は、分波器に関するものであり、更に詳しく言えば、受信周波数帯を分離する弾性表面波帯域通過フィルタを用いた分波器のパッケージ構造の改善に関するものである。

【0003】近年、自動車、携帯電話等の小型無線通信機の開発が急速に進められ、より一層小型高性能化が要請されている。これらの無線通信機には、異周波数の受信信号の分岐やその挿入を行うため分波器が用いられ、例えば、使用周波数の高域化により、通常の帯域通過フィルタに代えて弾性表面波帯域通過フィルタを用いた分波器が研究開発されている。

【0004】これによれば、個々のフィルタ素子が独立のパッケージ封止され、それがインピーダンス整合回路を設けたプリント基板に実装される。このため、個々のフィルタ素子のアイソレーションが良くなるが、当該分波器の周波数帯分離数（分波数）が多くなると、フィルタ素子やインピーダンス整合回路がプリント基板を多く占有し、そのコンパクト化の妨げとなる。

【0005】そこで、複数のフィルタ素子を同一チップ内に形成し、かつ、インピーダンス整合回路を1つパッケージに一体化した分波器が考案されている。しかし、使用周波数の相違によりインピーダンス整合回路以外に、その周波数特性を改善する特性改善用回路素子が必要となった場合に、それとの相互作用を避けるために、それらの伝播路を別々にする必要があり、そのコンパクト化の妨げとなる。

【0006】そこで、アイソレーションや相互作用を良好な状態に維持しつつ、特性改善用回路素子を1つのパ

パッケージに収納して一体化をすることができる分波器が望まれている。

#### 【0007】

【従来の技術】図13(a)～(c)は、従来例に係る分波器の構成図を示している。例えば、受信信号の数〔MHz〕～数G〔MHz〕の周波数帯を分離する分波器（以下第1の分波器という）は、図13(a)において、2つの弾性表面波帯域通過フィルタ（以下単にフィルタ素子という）3A、3Bとインピーダンス整合回路2とがプリント基板1に個々に実装されて成る。なお、1つの弾性表面波フィルタ3Aや3Bは、個々のパッケージ封止されており、アイソレーション（絶縁特性）が優れている。

【0008】また、図13(b)は、第1の分波器のコンパクト化を図るべく、本発明者らが先に特許出願（特願平3-332242号）した分波器（以下第2の分波器という）の構造を示している。図13(b)において、2つのフィルタ素子3A、3Bは1つのパッケージ5に収納され、その下部領域にインピーダンス整合回路2が設けられている。

【0009】なお、インピーダンス整合回路2はガラスエポキシ基板4上に金、タングステン、銅等の金属ストリップラインにより形成される。また、その上部領域に仕切りを設けた収納部が設けられ、その収納部に2つのフィルタ素子3A、3Bが収納される。さらに、その最上部にキャップ6が覆われる。

#### 【0010】

【発明が解決しようとする課題】ところで従来例の第1の分波器によれば、図13(a)に示すように個々のフィルタ素子3Aや3Bが独立のパッケージ封止され、それがインピーダンス整合回路2を設けたプリント基板1に実装されている。

【0011】このため、個々のフィルタ素子3Aや3Bのアイソレーションが良くなるが、当該分波器の周波数帯分離数が多くなると、フィルタ素子3Aや3Bのパッケージ数が多くなり、かつ、インピーダンス整合回路2も多く必要となるため、それらがプリント基板1に占有する面積の増加が余儀無くされ、そのコンパクト化の妨げとなる。

【0012】そこで、本発明者らが先に特許出願（特願平3-332242号）した分波器（第2の分波器）では、複数個のフィルタ素子3A、3Bを同一チップ内に形成し、かつ、インピーダンス整合回路2を1つパッケージ5に一体化している。

【0013】このため、収納部内の端子配列等により電磁シールド、あるいは、信号クロストークを防止することができ、フィルタ素子3Aや3Bのアイソレーションを維持しつつ、その小型化を図ることができる。

【0014】しかし、図13(c)に示すように、使用周波数の相違によりインピーダンス整合回路2以外にその

周波数特性を改善する素子、例えば、位相調整回路7を接続する設計要求があった場合に、それをフィルタ素子3Aや3Bの収納部内に併設することが困難になることから、再度、プリント基板1に外装する方法を採らなくてはならず、そのコンパクト化の妨げとなる。

【0015】これは、フィルタ素子3Aや3B、インピーダンス整合回路2と位相調整回路（以下特性改善用回路素子ともいう）7との相互作用を避けるために、それらの伝播路を別々にする必要があるためである。このことから、相互作用を避けるための回路引き回しが無駄を生じ、その性能を低下させたり、フィルタ素子3Aや3Bを単体パッケージに収納する場合に比べて、チップ面積が大きくなるため、製造歩留りが悪くなる恐れがある。

【0016】これにより、各々のフィルタ素子3Aや3Bの相互作用を抑制し、かつ、小型化をすることが困難となるという問題がある。本発明は、かかる従来例の問題点に鑑み創作されたものであり、特性改善用回路素子につき、外部回路に依存することなく、そのアイソレーションや相互作用を良好な状態に維持しつつ、それを1つのパッケージに収納して一体化をし、その極力小型化を図ることが可能となる分波器の提供を目的とする。

#### 【0017】

【課題を解決するための手段】図1、2は、本発明に係る分波器の原理図（その1、2）であり、図3は、本発明に係る分波器の製造方法の原理図をそれぞれ示している。

【0018】本発明の第1の分波器は図1に示すように、少なくとも、所定帯域周波数の通過特性を有する二以上のフィルタ素子12と、前記フィルタ素子12の周波数特性を補助するインピーダンス整合素子13及び位相整合素子14が一体化された容器10に格納され、前記インピーダンス整合素子13及び位相整合素子14がフィルタ素子12を格納した領域以外の容器構造体内部10Aに埋め込まれることを特徴とする。

【0019】なお、本発明の第1の分波器において、前記インピーダンス整合素子13及び位相整合素子14が容器構造体内部10Aであって、上・下部又は一部にグラウンド層10Bを有するストリップライン構造から成ることを特徴とする。

【0020】さらに、本発明の第1の分波器において、前記フィルタ素子12を格納した領域下の容器構造体内部10Aであって、前記位相整合素子14の上層部にインピーダンス整合素子13が設けられることを特徴とする。

【0021】また、本発明の第2の分波器は第1の分波器において、前記フィルタ素子12を格納した領域以外に、周波数特性を改善するトラップ回路15が設けられることを特徴とする。

【0022】さらに、本発明の第3の分波器は第1、第

10

20

30

40

50

2の分波器において、前記各フィルタ素子12のグランド層10Bに係る接地線gndが外部入出力端子Tx, Rx, ANT, GNDに近い部分で共通接続されることを特徴とする。

【0023】なお、本発明の第3の分波器において、前記外部入出力端子Tx, Rx, ANT, GNDは共通入力端子ANTを基準にして外部出力端子Tx, Rx, GNDが鏡面对称的に配置されることを特徴とする。

【0024】さらに、本発明の第4の分波器は第1～第3の分波器において、前記インピーダンス整合素子13及び位相整合素子14に接続された内部接続端子αや外部入出力端子Tx, Rx, ANT, GNDに接続された内部接続端子βが各フィルタ素子12の格納仕切り領域に独立に設けられることを特徴とする。

【0025】なお、本発明の第1～第4の分波器において、前記内部接続端子α, βや外部入出力端子Tx, Rx, ANT, GNDに識別記号が設けられることを特徴とする。さらに、本発明の分波器の製造方法は、図3(a)～(c)に示すように、配線処理がされた耐熱層状基板部11内にフィルタ素子12を補助する特性改善素子13, 14や15を形成する工程と、前記特性改善素子13, 14や15が形成された耐熱層状基板部11の熱処理をする工程と、前記熱処理された耐熱層状基板部11に二以上のフィルタ素子12を接合配線する工程とを有することを特徴とする。

【0026】なお、本発明の分波器の製造方法において、前記二以上のフィルタ素子12や特性改善素子13, 14や15を同一平面に形成する場合には、当該フィルタ素子12と他のフィルタ素子12や、前記特性改善素子13, 14や15と他の特性改善素子13, 14や15とを直交させて配置をすることを特徴とし、上記目的を達成する。

【0027】

【作用】本発明の第1の分波器によれば、図1に示すように、二以上のフィルタ素子12を格納した領域以外の容器構造体内部10Aに、フィルタ素子12の周波数特性を補助するインピーダンス整合素子13及び位相整合素子14（以下単に特性改善素子13, 14ともいう）が埋め込まれる。

【0028】例えば、図1、図2(a)に示すように上・下部又は一部にグランド層10Bを有するストリップライン構造から成る位相整合素子14の上層部に、同様に、上・下グランド層10Bを有するストリップライン構造から成るインピーダンス整合素子13が容器構造体内部10Aに埋め込まれる。

【0029】このため、フィルタ素子12の収納部内の端子配列等により電磁シールド、あるいは、信号クロストークを防止することができ、フィルタ素子12のアイソレーションを維持しつつ、その小型化を図ることができる。

【0030】これにより、特性改善用回路素子につき、外部回路に依存することなく、そのアイソレーションや相互作用を良好な状態に維持しつつ、それを1つのパッケージに収納して一体化をすることができ、その極力小型化を図ることが可能となる。

【0031】また、本発明の第2の分波器によれば、第1の分波器において、フィルタ素子12を格納した領域以外に、周波数特性を改善するトラップ回路（以下単に特性改善素子ともいう）15が設けられる。

【0032】このため、無線通信機器の使用条件等により、その使用周波数の相違に基づいて中心周波数帯域fx[GHz]を同調（帯域周波数通過）させる場合に、その使用周波数の2倍、3倍波をトラップ回路15により抑制することが可能となり、例えば、インピーダンス整合素子13以外に容器構造体内部10Aに埋め込まれたトラップ回路15によりその周波数特性を改善することが可能となる。

【0033】これにより、当該分波器の性能の向上が図られ、無線通信機器に対する信頼性の向上が図れる。さらに、本発明の第3の分波器によれば、第1、第2の分波器において、各フィルタ素子12のグランド層10Bに係る接地線gndが外部入出力端子Tx, Rx, ANT, GNDに近い部分で共通接続される。

【0034】このため、個々のフィルタ素子12とインピーダンス整合素子13及び位相整合素子14との相互作用を抑制することが可能となる。また、併せて容器構造体内部10Aに埋め込まれたインピーダンス整合素子13及び位相整合素子14の特性を単独で調査することが可能となる。

【0035】また、外部入出力端子Tx, Rx, ANT, GNDの中の共通入力端子ANTを基準にして1組の外部出力端子Tx, Rx, GNDが鏡面对称的に配置される。これにより、外部出力端子Tx, Rx, GNDの左右両方向から受信ケーブルや分波用ケーブルを接続することができ、当該分波器の汎用性を高めることが可能となる。また、当該分波器のメンテナンスの容易化を図ることが可能となる。

【0036】さらに、本発明の第4の分波器によれば、第1～第3の分波器において、インピーダンス整合素子13及び位相整合素子14に接続された内部接続端子αや外部入出力端子Tx, Rx, ANT, GNDに接続された内部接続端子βが各フィルタ素子12が格納仕切り領域に独立に設けられる。

【0037】このため、無線通信機器の使用条件等により、その使用周波数の相違に応じて、該格納仕切り領域に独立に設けられた内部接続端子αや外部入出力端子Tx, Rx, ANT, GNDに接続された内部接続端子βをボンディングすることにより、インピーダンス整合素子13、位相整合素子14やトラップ回路15等を自由にフィルタ素子12に選択接続をすることが可能となる。

【0038】これにより、多種類の無線通信機器等に合わせた分波器を構成することができ、第2の分波器と同様に、当該分波器の汎用性を高めることが可能となる。また、その大量生産に適し、コスト低減化に寄与する。

【0039】なお、本発明の第1～第4の分波器によれば、内部接続端子 $\alpha$ 、 $\beta$ や外部入出力端子Tx、Rx、ANT、GNDに識別記号が設けられる。このため、受信信号の入力、出力部分や分岐部分等の多数の端子の役割を簡単に識別することができ、その選択接続の際のボンディング作業の容易化を図ることが可能となる。これにより、当該分波器の取扱方法の簡易化を図ることが可能となる。

【0040】さらに、本発明の分波器の製造方法によれば、図3(a)～(c)に示すように、特性改善素子13、14や15が形成され、かつ、配線処理された耐熱層状基板部11が熱処理される。

【0041】このため、当該特性改善素子13、14や15と他の特性改善素子13、14や15とが互いに直交した位置に配置され、それらが同一平面に形成される場合に、例えば、上部又は下部にグランド層10Bを配置した位相整合素子14の上層部に、同様に、上・下部にグランド層10Bを介在させたインピーダンス整合素子13を容器構造体内部10Aに埋め込むことが可能となる。

【0042】このことから、一体化された耐熱層状基板部11の収納部に、二以上のフィルタ素子12が接合配線されることにより、該フィルタ素子12の収納部内の端子配列等により電磁シールド、あるいは、信号クロストークを防止することができる。

【0043】これにより、上・下部にグランド層10Bにより伝播路を多層構造にすることができる。この多層構造により、インピーダンス整合素子13や位相整合素子14間の相互作用を避けることができ、及び、その回路引き回しを極力抑制をすることができ、その周波数特性を維持しつつ、フィルタ素子12を単体パッケージに収納する場合に比べて、チップ面積の縮小化が図られ、製造歩留りの向上を図ることが可能となる。

【0044】

【実施例】次に、図を参照しながら本発明の実施例について説明をする。図4～12は、本発明の実施例に係る分波器及びその製造方法を説明する図である。

【0045】(1)第1の実施例の説明

図4は、本発明の第1の実施例に係る分波器の構成図であり、図5は、その補足説明図であり、図6～8はその形成工程図をそれぞれ示している。

【0046】例えば、受信信号の数〔MHz〕～数G〔MHz〕の周波数帯を分離する分波器（以下第1の分波器という）は、図4において、2つの弾性表面波帯域通過フィルタ（以下単にフィルタ素子という）F1、F1、インピーダンス整合回路23及び位相整合線路24がセラ

ミック構造体内部20Aに埋め込まれて成る。

【0047】すなわち、セラミックパッケージ20はキャップ207が設けられたセラミック構造体内部20Aから成り、その構造体内部20Aは外部リード層201と、第1～第3のグランドプレートG11～G13に挟まれた $\phi$ 形成層202、中間グランド層203、Z形成層204、最上グランド層205から成る。

【0048】また、外部リード層201には、外部入出力端子Tx、GND、ANT、Rxが設けられる。なお、外部入出力端子Tx、GND、ANT、Rxはアンテナ端子に接続される外部入力端子ANT、各種機器の接地線GNDに接続される外部共通端子GND及び2つの受信機の入力部分に接続される2つの外部出力端子Tx、Rxを構成する。

【0049】また、 $\phi$ 形成層202は外部リード層201の上層に設けられた第1のグランドプレート（接地用電極）G11を介在して設けられ、その $\phi$ 形成層202には、位相整合素子14の一実施例となる位相整合線路24が設けられる。位相整合線路24は、フィルタ素子12の周波数特性を補助するものであり、例えば、アンテナ系の特性インピーダンスと受信ケーブルの特性インピーダンスとの位相を調整するものである。

【0050】なお、位相整合線路24は図4(c)に示すように、外部リード層201上の第1のグランドプレートG11と中間グランド層203上の第2のグランドプレートG12を有するストリップライン構造から成る。例えば、幅w、厚さtの金、タングステン、銅等の金属ストリップラインが誘電率 $\epsilon$ の $\phi$ 形成層202に設けられる。また、中間グランド層203は位相整合線路24が設けられた $\phi$ 形成層202の上層に設けられる。

【0051】また、Z形成層204は中間グランド層203の上層に設けられた第2のグランドプレートG12を介在して設けられ、そのZ形成層204には、インピーダンス整合素子13の一実施例となるインピーダンス整合回路23が設けられる。なお、インピーダンス整合回路23は、フィルタ素子12の周波数特性を補助するものであり、例えば、使用周波数に係る特性インピーダンスを整合するものである。

【0052】インピーダンス整合回路23は図4(b)に示すように、Z形成層204の第2のグランドプレートG12と最上グランド層205上の第3のグランドプレートG13を有するストリップライン構造から成る。例えば、幅w、厚さtの金、タングステン、銅等の金属ストリップラインが高さhの誘電率 $\epsilon$ のZ形成層204に設けられる。

【0053】さらに、最上グランド層205はインピーダンス整合回路23が設けられたZ形成層204の上層に設けられる。その最上グランド層205には、第3のグランドプレートG13が設けられる。

【0054】また、セラミック構造体内部20Aの最上グ

ランド層205の上部領域には、従来例と同様に、フィルタ素子F1、F2の収納部が設けられ、その上部にキャップ207が覆われる。なお、2つの弾性表面波帯域通過フィルタF1、F2は二以上のフィルタ素子12の一例であり、所定帯域周波数の通過特性を有するものである。

【0055】図5は、本発明の各実施例に係る分波器の補足説明図であり、図5(a)は、その内部回路の接続図であり、図5(b)は、その弾性表面波帯域通過フィルタの内部回路をそれぞれ示している。

【0056】図5(a)において、当該分波器の内部回路は、フィルタ素子(弾性表面波帯域通過フィルタ)F1と位相整合線路24が内部接続端子(A1, Gnd)で直列に接続され、フィルタ素子F2とインピーダンス整合回路23とが内部接続端子(B1, Gnd)で直列に接続され、当該2系統のフィルタ回路が外部入力端子ANT(T0, Gnd)に接続される。

【0057】また、その2系統のフィルタ素子F1、F2の出力部A2、B2、Gnd1、Gnd2が外部出力端子Tx(T2, Gnd)及び外部出力端子Rx(T3, Gnd)に接続される。さらに、フィルタ素子F1、F2は互いに異なる帯域の中心周波数を有しており、例えば、フィルタ素子F1の帯域中心周波数f1は887〔MHz〕に設定され、フィルタ素子F2の帯域中心周波数f2は932〔MHz〕に設定され、 $f1 < f2$ の関係になっている。なお、弾性表面波帯域通過フィルタF1、F2の内部回路は図5(b)において、直列弾性表面波共振器R1、R3、R4及び並列弾性表面波共振器R2、R6等から構成される。

【0058】このようにして、本発明の第1の実施例に係る分波器によれば、図4に示すように二以上の弾性表面波帯域通過フィルタF1、F2を格納した領域以外のセラミック構造体内部20Aに、フィルタ素子F1、F2の周波数特性を補助するインピーダンス整合回路23及び位相整合線路24が埋め込まれる。

【0059】例えば、図1、図2(a)に示すように下部にランド層10Bを有するストリップライン構造から成る位相整合線路24の上層部に、同様に、上・下部にランド層10Bを有するストリップライン構造から成るインピーダンス整合回路23がセラミック構造体内部20Aに埋め込まれる。

【0060】このため、フィルタ素子F1、F2の収納

部内の内部接続端子の配列等により電磁シールド、あるいは、信号クロストークを防止することができ、フィルタ素子F1、F2のアイソレーションを維持しつつ、その小型化を図ることができる。

【0061】すなわち、無線通信機器の使用条件等により、その使用周波数の相違に基づいてインピーダンス整合回路23以外にその周波数特性を改善する素子、例えば、受信アンテナの特性インピーダンスに係る位相を調整する位相調整線路24を外部入力端子ANTに接続する要求があった場合にも、インピーダンス整合回路23の下層部に、中間ランド層203、第2のランドプレートG12を介在した位相調整線路24がセラミック構造体内部20Aに埋め込まれることから、フィルタ素子F1、F2の収納部内にその併設を強いられることが無くなり、従来例のようにプリント基板等にそれを外装する方法を採らなくても済み、そのコンパクト化が図られる。

【0062】これにより、位相調整線路24につき、外部回路に依存することなく、そのアイソレーションや相互作用を良好な状態に維持しつつ、それを1つのセラミックパッケージ20に収納して一体化をすることができ、その極力小型化を図ることが可能となる。

【0063】図6～8は、本発明の第1の実施例に係る分波器の形成工程図である。例えば、受信信号の数〔MHz〕～数G〔MHz〕の周波数帯を分離する第1の分波器を形成する場合、図6(a)において、まず、外部入力端子Tx、GND、Rx、ANTが割当られ、その配線用スルーホールが設けられた耐熱層状基板部11の一例となるシート状のセラミック基板(外部リード層201)上に第1のランドプレートG11や位相調整線路24の形成領域24Aが割当られたφ形成層202を順次積層する。

【0064】次に、図6(b)において、φ形成層202の形成領域24Aに位相調整線路24を形成する。例えば、50〔Ω〕の特性インピーダンスを形成する場合、幅w、厚さtの金、タングステン、銅等の金属ストリップラインがφ形成層202に設けられる(図4(b)参照)。なお、特性インピーダンスZ0は、ストリップラインの幅w、厚さt、そのランドプレート間を高さh、その静電容量をCFとすると、 $w/h \geq 0.35$ の場合に(1)式により与えられる。

【0065】

【数1】

11

12

$$Z_0 \sqrt{\epsilon} = \frac{94.15}{[(W/h)/(1-t/h)] + (CF/0.0885\epsilon)} \quad \text{-----}(1)$$

但し、

$$CF = \frac{0.0885\epsilon}{\pi} [2K \ln(k+1) - (k-1) \ln(k^2-1)]$$

$$k = \frac{1}{1-t/h}$$

【0066】また、 $w/h \geq 0.35$  の場合のその電気長  $D$  \* 【0067】  
は (2) 式により与えられる。 \* 【数2】

$$Z_0 \sqrt{\epsilon} = 60 \ln \left( \frac{4h}{\pi D} \right) \quad \text{-----}(2)$$

但し、

$$D = \frac{W}{2} \left\{ 1 + \frac{t}{\pi W} \left[ 1 + \ln \left( \frac{4\pi w}{t} \right) + 0.51\pi \left( \frac{t}{w} \right)^2 \right] \right\}$$

【0068】なお、インピーダンス整合回路23と位相接合線路24とを同一平面に形成する場合には、インピーダンス整合回路23と位相接合線路24とを直交させて配置をする。

【0069】次いで、図6(c)において、位相調整線路24が形成されたφ形成層202の上層に中間グランド層203及び第2のグランドプレートG12やインピーダンス整合回路23の形成領域24Aが割当られたZ形成層204を順次積層する。

【0070】その後、図7(a)において、Z形成層204の形成領域23Aにインピーダンス整合回路23を形成する。例えば、並列インダクタンスを幅w、厚さtの金、タングステン、銅等の金属ストリップラインをZ形成層204に設ける(図4(c)参照)。

【0071】次に、図7(b)において、インピーダンス整合回路23が形成されたZ形成層204の上層に最上グランド層205及び第3のグランドプレートG3やフィルタ素子F1、F2の接合領域22Aが割当られたワイヤーパッド層206を順次積層する。

【0072】その後、キャップ207を除くセラミック構造体内部20Aから成る積層構造体を熱処理してセラミックパッケージ20を形成する。この際の積層構造体の焼結温度は数百〔°C〕程度である。

【0073】これにより、各外部リード層201、φ形成層202、中間グランド層203、Z形成層204、最上グランド層205及び第1～第3のグランドプレートG11～G13が予め配置された配線用スルーホルの金属が溶融結合

することにより、電氣的に接続され、フィルタ素子F1、F2を除くセラミック構造体内部20Aを有するセラミックパッケージ20が形成される(図5(a)参照)。

【0074】その後、図8(a)において、セラミックパッケージ20のワイヤーパッド層206にフィルタ素子F1、F2の接合処理をする。例えば、フィルタ素子F1、F2は最上グランド層205上に露出する第3のグランドプレートG13にダイボンディングをする。なお、二以上のフィルタ素子F1、F2を同一平面に形成する場合には、当該フィルタ素子F1と他のフィルタ素子F2とを直交させて配置をする。

【0075】そして、図8(b)において、ダイボンディングされたフィルタ素子F1、F2の端子A1、A2、B1、B2、接地線Gnd1、Gnd2とワイヤーパッド層206の仕切り領域に露出する内部接続端子とを接続処理する。例えば、その接続処理は、金線や銅線22B等によりワイヤーボンディングをする。

【0076】これにより、図4(a)に示されるような受信信号の数〔MHz〕～数G〔MHz〕の周波数帯を分離する第1の分波器を形成することができる。このようにして、本発明の第1の実施例に係る分波器の形成方法によれば、図6～8に示すように、位相調整線路24やインピーダンス整合回路23が形成され、かつ、その配線処理されたセラミック積層構造体が熱処理される。

【0077】例えば、当該位相調整線路24やインピーダンス整合回路23とが互いに直交した位置に配置さ

30

40

50



れ、それらが異平面に形成された場合に、第1のグランドプレートG11、中間グランド層203、 $\phi$ 形成層202及び第2のグランドプレートG12により挟み込まれた位相整合線路24の上層部に、同様に、第3のグランドプレートG13、最上グランド層205、Z形成層204及び第2のグランドプレートG12により挟み込まれたインピーダンス整合回路23をセラミック構造体内部20Aに埋め込むことが可能となる。

【0078】なお、位相接合線路24の上部領域にインピーダンス整合回路23を設けているのは、位相接合線路が50 $\Omega$ の特性インピーダンスZ<sub>0</sub>により構成され、インピーダンス整合回路23を並列インダクタンスにより構成することにより、上下間の信号の影響が避けられ、その位相回転時の調整が不要となるためである。また、フィルタ素子F1、F2がある特定の周波数の信号のみを通過させる機能であるため、分波先の回路から当該分波器への信号流入がないことによる。

【0079】このことから、一体化されたセラミック積層構造体の接合領域（収納部）22Aに、2つのフィルタ素子F1、F2が接合配線されることにより、該フィルタ素子F1、F2の収納部内の端子配列等により電磁シールド、あるいは、信号クロストークを防止することができる。

【0080】これにより、第1～第3のグランドプレートG11～G13により伝播路を多層構造にすることができる。この中間グランド層203、 $\phi$ 形成層202、Z形成層204、最上グランド層205を第1～第3のグランドプレートG11～G13で挟み込んだ多層構造により、インピーダンス整合回路23や位相整合線路24間の相互作用を避けることができ、その回路引き回しを極力抑制することができ、その周波数特性を維持しつつ、フィルタ素子F1、F2を単体パッケージに収納する場合に比べて、チップ面積の縮小化が図られ、製造歩留りの向上を図ることが可能となる。

#### 【0081】（2）第2の実施例の説明

図9は、本発明の第2の実施例に係る分波器の構成図である。なお、第1の実施例と異なるのは第2の実施例では、外部リード層301にショートスタブ25が設けられ、そのセラミック積層構造体が第1の実施例に比べて薄型化されるものである。

【0082】すなわち、セラミックパッケージ30はキャップ306が設けられたセラミック積層構造体から成り、その構造体内部30Aは外部リード層301と、第1、第2のグランドプレートG21、G22に挟まれた $\phi$ 形成層302、Z形成層303、最上グランド層304から成る。

【0083】また、外部リード層301の外側には、外部入出力端子Tx、GND、ANT、Rxが設けられ、その内側には、トラップ回路15の一例となるショートスタブ25が設けられる。なお、ショートスタブ25は3〔GHz〕に共振周波数のピーク値を有するものであり、特定

周波数の2倍、3倍波を抑制するものである。

【0084】 $\phi$ 形成層302は外部リード層301の上層に設けられた第1のグランドプレート（接地用電極）G21を介して設けられ、その $\phi$ 形成層302には、第1の実施例と同様に、位相整合線路24が設けられる。

【0085】また、Z形成層303は $\phi$ 形成層302の上層に設けられ、そのZ形成層303には、第1の実施例と同様に、インピーダンス整合回路33が設けられる。なお、インピーダンス整合回路33と位相接合線路34とが同一平面において直交された位置に設けられている。

【0086】さらに、インピーダンス整合回路33と位相接合線路34とが最上グランド層304上の第2のグランドプレートG22と外部リード層301上の第1のグランドプレートG21を共有するストリップライン構造から成る。例えば、幅w、厚さtの金、タングステン、銅等の金属ストリップラインが誘電率 $\epsilon$ の $\phi$ 形成層302、Z形成層303、最上グランド層304に設けられる。

【0087】なお、その他の構成は第1の実施例と同様であり、また、その形成方法についても、中間グランド層とそのグランドプレートに係る工程が省略され、その他は第1の実施例と同様となるため、その説明を省略する。

【0088】このようにして、本発明の第2の実施例に係る分波器によれば、図9に示すように、フィルタ素子F1、F2を格納した領域以外に、3〔GHz〕に共振周波数のピーク値を有するショートスタブ25が設けられ、また、そのセラミック積層構造体が第1の実施例に比べて薄型化される。

【0089】このため、移動無線機やその他の通信機器等の使用条件等により、その使用周波数の相違に基づいて中心周波数帯域fx〔GHz〕を同調（帯域周波数通過）させる場合に、その使用周波数の2倍、3倍波をショートスタブ25により抑制することが可能となる。また、インピーダンス整合回路33以外のセラミック構造体内部30Aに埋め込まれたショートスタブ25によりその周波数特性を改善することが可能となる。

【0090】これにより、当該分波器の性能の向上が図られ、無線通信機器に対する信頼性の向上が図れる。

#### （3）第3の実施例の説明

図10は、本発明の第3の実施例に係る分波器の構成図であり、図10（a）は、その断面図であり、図10（b）は、その裏面の平面図をそれぞれ示している。

【0091】なお、第1、第2の実施例と異なるのは第3の実施例では、各フィルタ素子F1、F2の第1、第2のグランドプレートG21、G22に係る接地線gndが外部入出力端子Tx、Rx、ANT、GNDに近い部分で共通接続され、該外部入出力端子Tx、Rx、ANT、GNDが鏡面対称的に配置される。

【0092】また、ショートスタブ25が第1の実施例と同様に外部リード層301には無く、そのセラミック積

層構造体が第2の実施例と同様に薄型化が維持される。

すなわち、セラミックパッケージ30はキャップ306が設けられたセラミック積層構造体から成り、その構造体内部30Aは第2の実施例と同様に、外部リード層301と、第1、第2のグランドプレートG21、G22に挟まれたφ形成層302、Z形成層303、最上グランド層304から成る。

【0093】また、外部リード層301の外側には、外部入出力端子Tx、GND、ANT、Rxが設けられる。なお、該外部入出力端子Tx、Rx、ANT、GNDは共通入力端子ANTを基準にして外部出力端子Tx、Rx、GNDが鏡面对称的に配置される。

【0094】φ形成層302は外部リード層301の上層に設けられた第1のグランドプレート（接地用電極）G21を介在して設けられ、そのφ形成層302には、第1の実施例と同様に、位相整合線路24が設けられる。

【0095】また、Z形成層303はφ形成層302の上層に設けられ、そのZ形成層303が第1の実施例の場合よりも厚く形成され、そこには、第1の実施例と同様に、インピーダンス整合回路33が設けられる。なお、インピーダンス整合回路33と位相接合線路34とが同一平面において直交された位置に設けられている。

【0096】さらに、インピーダンス整合回路33と位相接合線路34とが最上グランド層304上の第2のグランドプレートG22と外部リード層301上の第1のグランドプレートG21を共有するストリップライン構造から成る。例えば、幅w、厚さtの金、タングステン、銅等の金属ストリップラインが誘電率εのφ形成層302、Z形成層303、最上グランド層304に設けられる。

【0097】なお、その他の構成は第1、第2の実施例と同様であるため、その説明を省略する。このようにして、本発明の第3の実施例に係る分波器によれば、図10に示すように、各フィルタ素子F1、F2の第1、第2のグランドプレートG21、G22に係る接地線gndが外部入出力端子Tx、Rx、ANT、GNDに近い部分で共通接続される。

【0098】このため、個々のフィルタ素子F1、F2とインピーダンス整合回路33及び位相整合線路34との相互作用を抑制することが可能となる。また、併せてセラミック構造体内部30Aに埋め込まれたインピーダンス整合回路33及び位相整合線路34の特性を単独で調査することが可能となる。

【0099】例えば、インピーダンス整合回路33及び位相整合線路34の共通入力部分を外部入出力端子Tx、Rx、ANT、GNDに近い部分で接続することにより、その検査や故障調査の際に、それを外部入出力端子ANTを分断することで、容器内部を破壊することなく、インピーダンス整合回路33又は位相整合線路34の電気特性を単独で調査することが可能となる。これにより、当該分波器のメンテナンスの容易化を図ることが可

能となる。

【0100】また、外部入出力端子Tx、Rx、ANT、GNDの中の共通入力端子ANTを基準にして1組の外部出力端子Tx、Rx、GNDが鏡面对称的に配置されるため、外部出力端子Tx、Rx、GNDの左右両方向から受信ケーブルや分波用ケーブルを接続することができ、当該分波器の汎用性を高めることが可能となる。なお、その大量生産に適し、コスト低減化に寄与する。

【0101】（4）第4の実施例の説明

図11、12は、本発明の第4の実施例に係る分波器の説明図である。図11（a）は、その分波器の断面図であり、図11（b）はそのワイヤーパッド層に係る平面図をそれぞれ示している。また、図12（a）、（b）は、ワイヤーボンディング状態をそれぞれ示している。

【0102】なお、第1～第3の実施例と異なるのは第4の実施例では、内部接続端子α、βがワイヤーパッド層406に露出する各フィルタ素子F1、F2の格納仕切り領域に独立に設けられ、また、該内部接続端子α、βや外部入出力端子Tx、Rx、ANT、GNDに識別記号が設けられる。

【0103】すなわち、セラミックパッケージ40はキャップ406が設けられたセラミック積層構造体から成り、その構造体内部40Aは外部リード兼用φ形成層401、中間グランド層402及び第1、第2のグランドプレートG31、G32に挟まれたZ形成層403、最上グランド層404から成る。

【0104】また、外部リード兼用φ形成層401の外側には、外部入出力端子Tx、GND、ANT、Rxが設けられ、外部リード兼用φ形成層401には、位相整合線路44が設けられ、その上層に中間グランド層402が設けられる。さらに、中間グランド層402の上部に第1のグランドプレートG31を介在してZ形成層403が設けられ、該Z形成層403には、第1～第3の実施例と同様に、インピーダンス整合回路44が設けられる。なお、インピーダンス整合回路44と位相接合線路44とが異平面において直交された位置に設けられている。

【0105】さらに、位相整合線路44は中間グランド層402の上部の第1のグランドプレートG31を有するストリップライン構造から成り、インピーダンス整合回路44は第1のグランドプレートG31と最上グランド層404の上層に設けられた第2のグランドプレートG32を有するストリップライン構造から成る。

【0106】さらに、最上グランド層404の上部にはワイヤーパッド層405が設けられ、該ワイヤーパッド層405に露出する各フィルタ素子F1、F2の格納仕切り領域に内部接続端子α、βが独立に設けられる。

【0107】例えば、図11（b）において、外部入出力端子Tx、Rx、ANT、GNDや位相整合線路44に接続された内部接続端子α、βに「Tx」、「Rx」、「φ」、「ANT」、「GND」の識別記号が刻まれている。

17

る。

【0108】また、図12(a)、(b)は内部接続端子 $\alpha$ 、 $\beta$ とフィルタ素子F1、F2との接続状態をそれぞれ示している。図12(a)は、フィルタ素子F1側に位相整合線路44を接続し、フィルタ素子F2側にインピーダンス整合回路43を接続する場合を示している。図12(a)において、フィルタ素子F1の接地線Gnd、A1端子、A2端子がそれぞれ内部接続端子 $\alpha$ 、 $\beta$ の「GND」、「Tx」、「 $\phi$ 」に接続される。なお、フィルタ素子F2の接地線Gnd、B1端子、B2端子がそれぞれ内部接続端子 $\alpha$ 、 $\beta$ の「GND」、「Rx」、「ANT」に接続される。

【0109】さらに、図12(b)は、フィルタ素子F1側にインピーダンス整合回路43を接続し、フィルタ素子F2側に位相整合線路44を接続する場合を示している。図12(b)において、フィルタ素子F1の接地線Gnd、A1端子、A2端子がそれぞれ内部接続端子 $\alpha$ 、 $\beta$ の「GND」、「Tx」、「ANT」に接続される。なお、フィルタ素子F2の接地線Gnd、B1端子、B2端子がそれぞれ内部接続端子 $\alpha$ 、 $\beta$ の「GND」、「Rx」、「 $\phi$ 」に接続される。なお、その他の構成は第1～第3の実施例と同様であるため、その説明を省略する。

【0110】このようにして、本発明の第4の実施例に係る分波器によれば、図12に示すように、インピーダンス整合回路43及び位相整合線路44に接続された内部接続端子 $\alpha$ や外部入出力端子Tx、Rx、ANT、GNDに接続された内部接続端子 $\beta$ が各フィルタ素子F1、F2がワイヤーパッド層405に露出する格納仕切り領域に独立に設けられる。

【0111】このため、無線通信機器の使用条件等により、その使用周波数の相違に応じて、該格納仕切り領域に独立に設けられた内部接続端子 $\alpha$ や外部入出力端子Tx、Rx、ANT、GNDに接続された内部接続端子 $\beta$ をボンディングすることにより、インピーダンス整合回路43、位相整合線路44やトラップ回路25等を自由にフィルタ素子F1、F2に選択接続をすることが可能となる。

【0112】これにより、各種無線通信機器に合わせた分波器を構成することができ、第2の分波器と同様に、当該分波器の汎用性を高めることが可能となる。なお、本発明の第4の実施例によれば、内部接続端子 $\alpha$ 、 $\beta$ や外部入出力端子Tx、Rx、ANT、GNDに識別記号が設けられる。

【0113】このため、受信信号の入力、出力部分や分岐部分等の多数の端子の役割を簡単に識別することができ、その選択接続の際のボンディング作業の容易化を図ることが可能となる。これにより、当該分波器の取扱方法の簡易化を図ることが可能となる。

【0114】

【発明の効果】以上説明したように、本発明の第1の分

18

波器によれば、二以上のフィルタ素子を格納した領域以外の容器構造体内部に、フィルタ素子の周波数特性を補助するインピーダンス整合素子及び位相整合素子が埋め込まれる。

【0115】このため、フィルタ素子の収納部内の端子配列等により電磁シールド、あるいは、信号クロストークを防止することができ、フィルタ素子のアイソレーションを維持しつつ、その小型化を図ることができる。

【0116】また、本発明の第2の分波器によれば、フィルタ素子を格納した領域以外に、周波数特性を改善するトラップ回路が設けられる。このため、無線通信機器の使用条件等により、その使用周波数の相違に基づいて中心周波数帯域を同調させる場合に、その使用周波数の2倍、3倍波を抑制することが可能となる。

【0117】さらに、本発明の第3の分波器によれば、各フィルタ素子のグランド層に係る接地線が外部入出力端子に近い部分で共通接続される。このため、個々のフィルタ素子とインピーダンス整合素子及び位相整合素子との相互作用を抑制することが可能となる。また、併せて容器構造体内部に埋め込まれたインピーダンス整合素子及び位相整合素子の特性を単独で調査することが可能となる。

【0118】また、外部入出力端子の中の共通入力端子を基準にして1組の外部出力端子が鏡面对称的に配置されることにより、外部出力端子の左右両方向から受信ケーブルや分波用ケーブルを接続することができ、当該分波器の汎用性を高めることが可能となる。また、当該分波器のメンテナンスの容易化を図ることが可能となる。

【0119】さらに、本発明の第4の分波器によれば、インピーダンス整合素子及び位相整合素子に接続された内部接続端子や外部入出力端子に接続された内部接続端子が各フィルタ素子が格納仕切り領域に独立に設けられる。

【0120】このため、無線通信機器の使用条件等により、その使用周波数の相違に応じて、該格納仕切り領域に独立に設けられた内部接続端子や外部入出力端子に接続された内部接続端子をボンディングすることにより、自由にフィルタ素子に選択接続をすることが可能となる。このことから、多種類の無線通信機器等に合わせた分波器を構成することができ、その大量生産に適し、コスト低減化に寄与する。

【0121】また、本発明の第1～第4の分波器によれば、内部接続端子や外部入出力端子に識別記号が設けられるため、受信信号の入力、出力部分や分岐部分等の多数の端子の役割を簡単に識別することができ、その選択接続の際のボンディング作業の容易化を図ることが可能となる。

【0122】さらに、本発明の分波器の製造方法によれば、特性改善用素子が形成され、かつ、配線処理された耐熱層状基板部が熱処理される。このため、当該特性改

50

善素子を容器構造体内部に埋め込むことが可能となることから、一体化された耐熱層状基板部の収納部に、二以上のフィルタ素子を接合配線することにより、該フィルタ素子の収納部内の端子配列等により電磁シールド、あるいは、信号クロストークを防止することができる。

【0123】これにより、特性改善用回路素子につき、外部回路に依存することなく、そのアイソレーションや相互作用を良好な状態に維持しつつ、それを1つのパッケージに収納して一体化をすることができ、その小型化及び低廉化に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明に係る分波器の原理図（その1）である。

【図2】本発明に係る分波器の原理図（その2）である。

【図3】本発明に係る分波器の製造方法の原理図である。

【図4】本発明の第1の実施例に係る分波器の構成図である。

【図5】本発明の各実施例に係る分波器の補足説明図である。

【図6】本発明の第1の実施例に係る分波器の形成工程図（その1）である。

【図7】本発明の第1の実施例に係る分波器の形成工程

図（その2）である。

【図8】本発明の第1の実施例に係る分波器の形成工程図（その3）である。

【図9】本発明の第2の実施例に係る分波器の構成図である。

【図10】本発明の第3の実施例に係る分波器の構成図である。

【図11】本発明の第4の実施例に係る分波器の構成図である。

10 【図12】本発明の第4の実施例に係る分波器の補足説明図である。

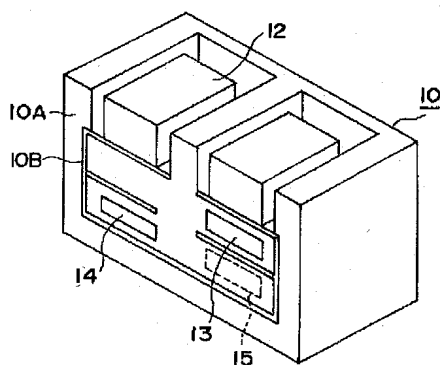
【図13】従来例に係る分波器の説明図である。

【符号の説明】

- 10…容器、
- 11…耐熱層状基板部、
- 12…フィルタ素子、
- 13…インピーダンス整合素子、
- 14…位相調整素子、
- 15…トラップ回路、
- 10A…容器構造体内部、
- 10B…グランド層、
- Tx, Rx, ANT, GND…外部入出力端子、
- gnd…接地線、
- $\alpha$ ,  $\beta$ …内部接続端子。

【図1】

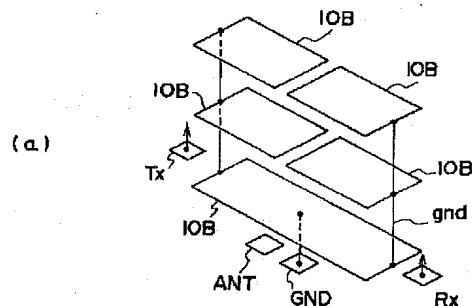
本発明に係る分波器の原理図（その1）



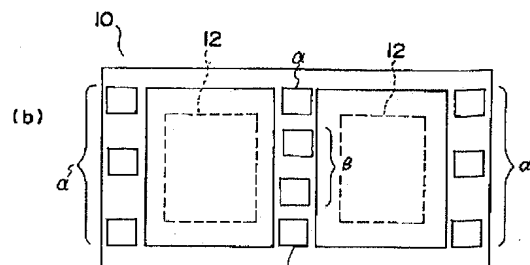
- 10 : 容器
- 12 : フィルタ素子
- 13 : インピーダンス整合素子
- 14 : 位相調整素子
- 15 : トラップ回路
- 10A : 容器構造体内部
- 10B : グランド層

【図2】

本発明に係る分波器の原理図（その2）



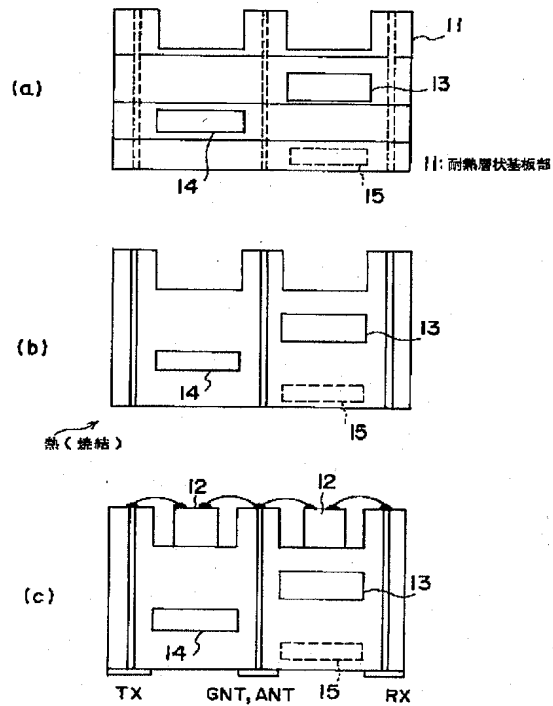
Tx, ANT, Rx, GND : 外部入出力端子  
gnd : 接地線



$\alpha, \beta$  : 内部接続端子

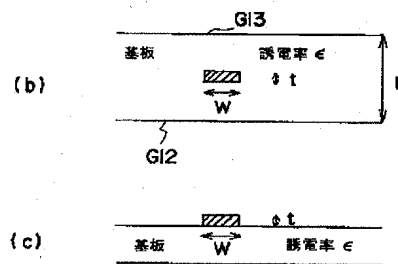
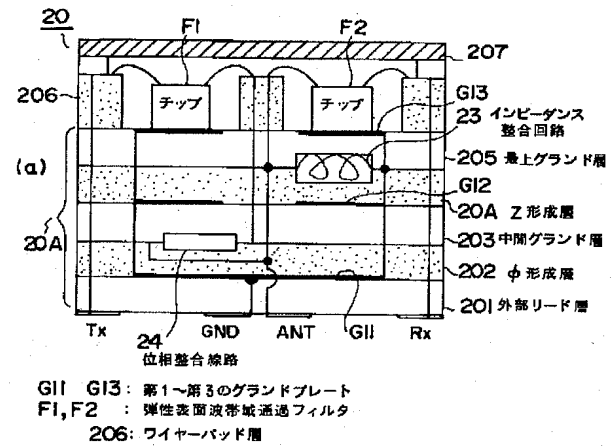
【図3】

本発明に係る分波器の製造方法の原理図



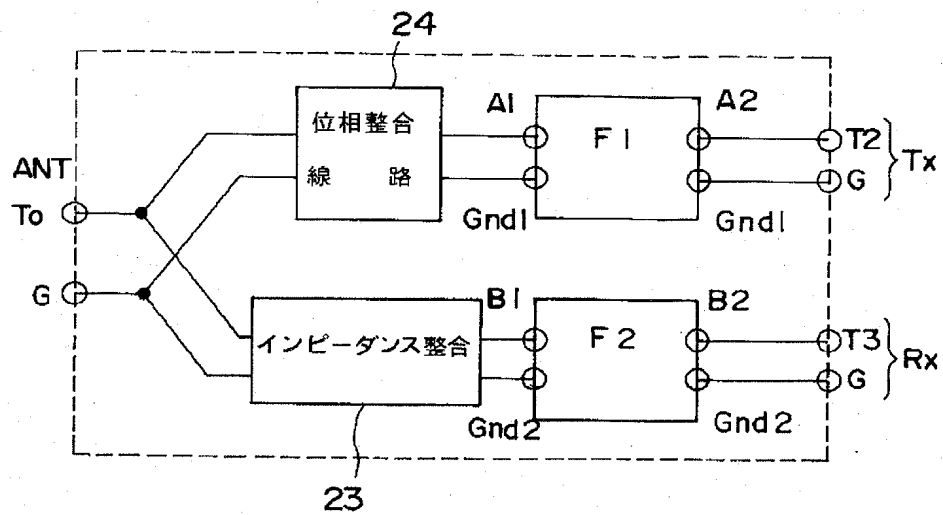
【図4】

本発明の第1の実施例に係る分波器の構成図

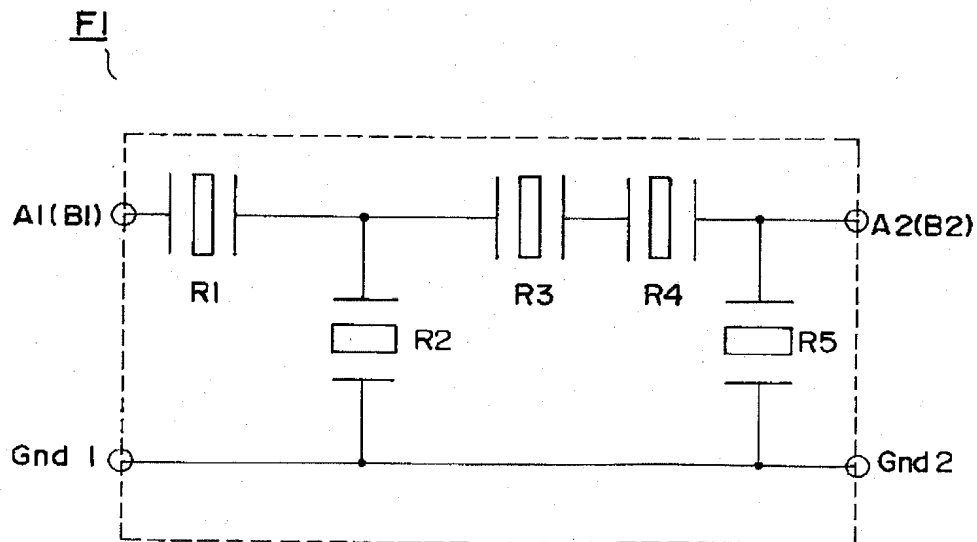


【図5】

本発明の各実施例に係る分波器の補足説明図



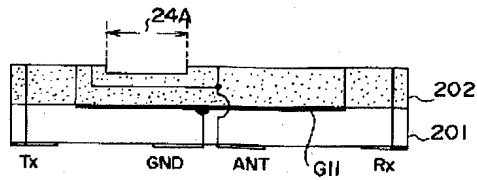
(a)



(b)

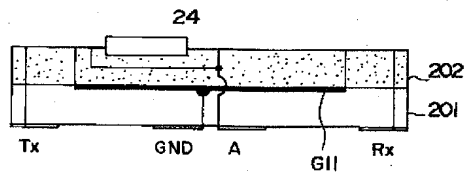
【図6】

本発明の第1の実施例に係る分波器の形成工程図  
(その1)

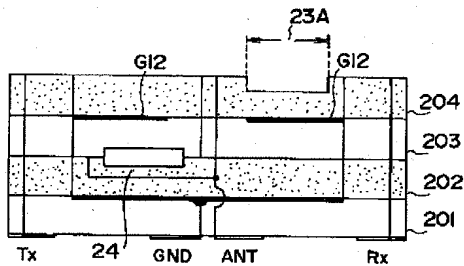


24A: 形成領域

(a)



(b)

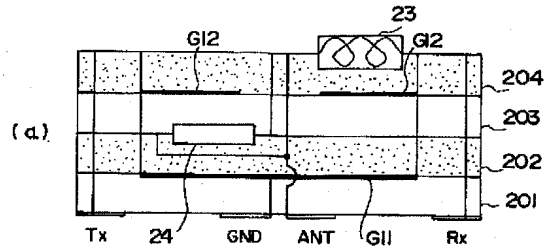


23A: 形成領域

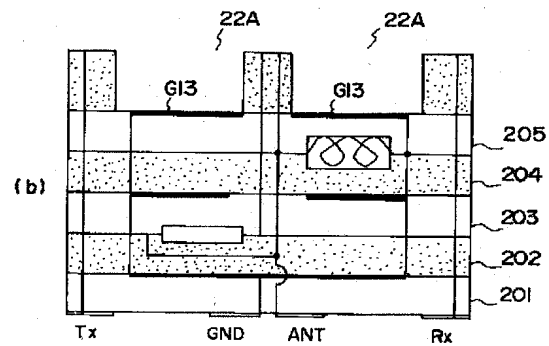
(c)

【図7】

本発明の第1の実施例に係る分波器の形成工程図  
(その2)



(a)

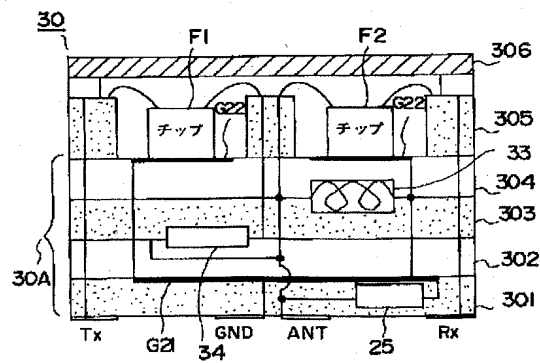


(b)

22A: 接合領域(収納部)

【図9】

本発明の第2の実施例に係る分波器の構成図



25: ショートスタブ

301: 外部リード層

302:  $\phi$ 形成層

303: Z形成層

304: 最上グラウンド層

305: ワイヤバッド層

306: キャップ

G21, G22: 第1, 第2のグラウンドプレート

30: セラミックパッケージ

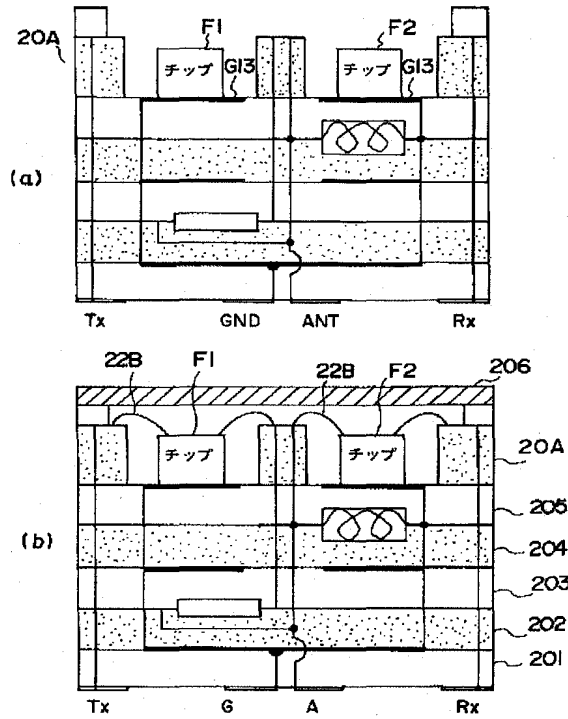
30A: 構造体内部

33: インピーダンス整合回路

34: 位相整合回路

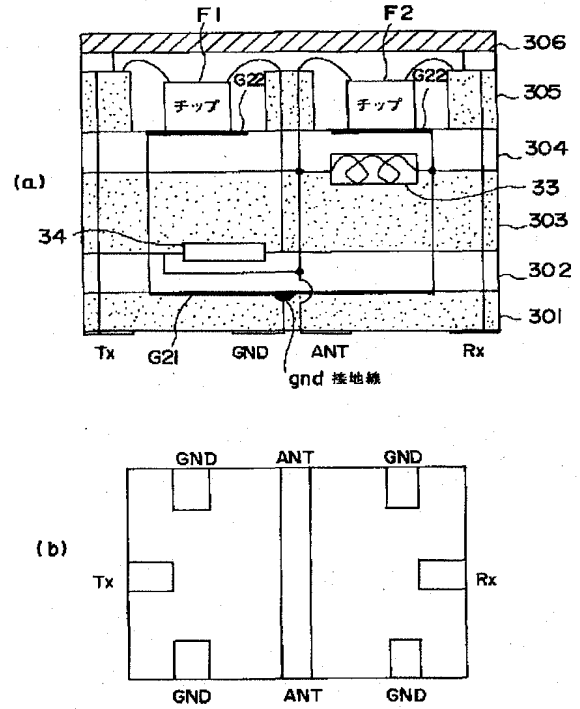
【図8】

本発明の第1の実施例に係る分波器の形成工程図  
(その3)



【図10】

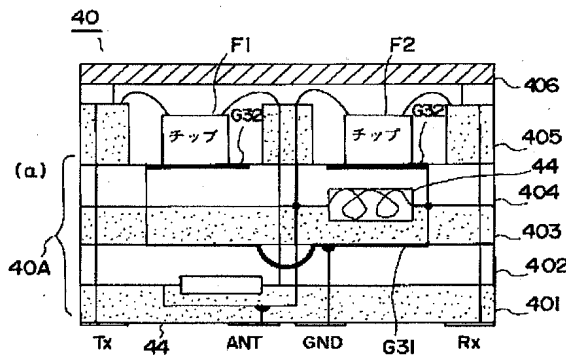
本発明の第3の実施例に係る分波器の構成図



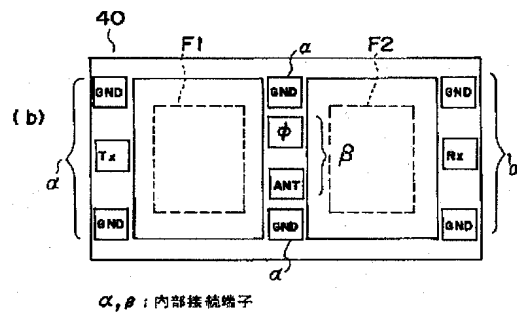


【図11】

本発明の第4の実施例に係る分波器の構成図



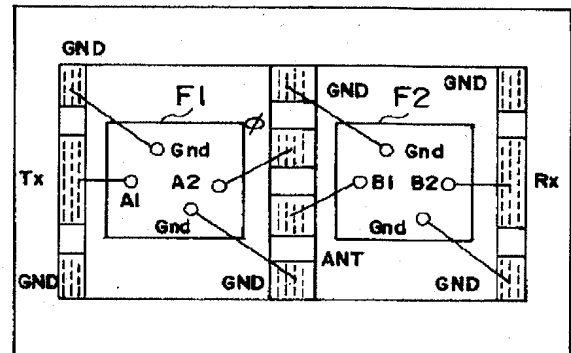
- 401: 外部リード兼用φ形成層  
 402: 中間グランド層  
 403: Z形成層  
 404: 最上グランド層  
 405: ワイヤパッド層  
 406: キャップ

 $\alpha, \beta$ : 内部接続端子

【図12】

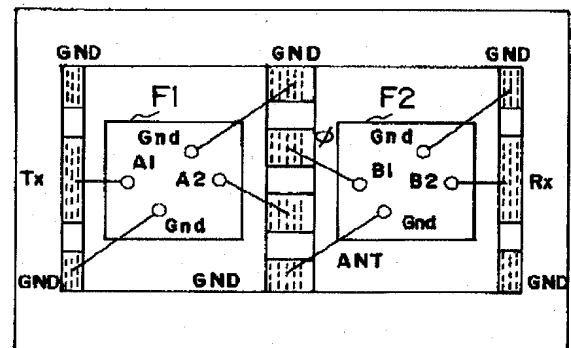
本発明の第4の実施例に係る分波器の補足説明図

40



(a)

40



(b)

【図13】

従来例に係る分波器の説明図

